

## 2019a - Instrution set Z01.1

Versão Insper 2019a da arquitetura do livro : Elements of Computer System

Alteração:

Z01.1 : Possibilita operações entre S e D. Tamanho da instrução passou de 16 para 18 bits.

Z01 : Adicionou um registrador a mais na arquitetura chamado de registrador S. Para endereçar esse novo registrador, um novo bit d3 foi adicionado as instruções do tipo C.

### Instruções do tipo A

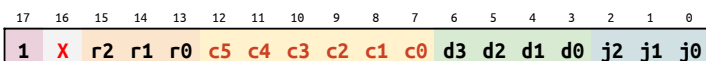
se bit 17 == 0:  
transfere 16 bits para o registrador A



[15:0] : Palavra de 16 bits (positiva)

### Instruções do tipo C

se bit 17 == 1:  
executa ação



[17:0] : Indica ação a ser executada pela CPU

#### Cálculo

r2 = 0	r2 = 0	r2 = 0	r2 = 0	r2 = 1						
r1 = 0	r1 = 0	r1 = 1	r1 = 1	r1 = 0	zx	nx	zy	ny	f	no
r0 = 0	r0 = 1	r0 = 0	r0 = 1	r0 = 1	c5	c4	c3	c2	c1	c0
0	-	-	-	-	1	0	1	0	1	0
1	-	-	-	-	1	1	1	1	1	1
-1	-	-	-	-	1	1	1	0	1	0
D	S	-	-	-	0	0	1	1	0	0
A	-	(A)	-	-	1	1	0	0	0	0
!D	!S	-	-	-	0	0	1	1	0	1
!A	-	!(A)	-	-	1	1	0	0	0	1
-D	-S	-	-	-	0	0	1	1	1	1
-A	-	-(A)	-	-	1	1	0	0	1	1
D+1	S+1	-	-	-	0	1	1	1	1	1
A+1	-	(A)+1	-	-	1	1	0	1	1	1
D-1	S-1	-	-	-	0	0	1	1	1	0
A-1	-	(A)-1	-	-	1	1	0	0	1	0
D+A	S+A	D+(A)	S+(A)	S+D	0	0	0	0	1	0
D-A	S-A	D-(A)	S-(A)	S-D	0	1	0	0	1	1
A-D	A-S	(A)-D	(A)-S	D-S	0	0	0	1	1	1
D&A	S&A	D&(A)	S&(A)	S&D	0	0	0	0	0	0
D A	S A	D (A)	S (A)	S D	0	1	0	1	0	1

#### Destino

Dest	A S D (A)			
	d3	d2	d1	d0
NULL	0	0	0	0
A	1	0	0	0
D	0	0	1	0
S	0	1	0	0
(A)	0	0	0	1
D(A)	0	0	1	1
S(A)	0	1	0	1
SD	0	1	1	0
SD(A)	0	1	1	1
A(A)	1	0	0	1
AD	1	0	1	0
AD(A)	1	0	1	1
AS	1	1	0	0
AS(A)	1	1	0	1
ASD	1	1	1	0
ASD(A)	1	1	1	1

#### Jump

Caso	<0 =0 >0		
	j2	j1	j0
nada	0	0	0
JG	0	0	1
JE	0	1	0
JGE	0	1	1
JL	1	0	0
JNE	1	0	1
JLE	1	1	0
JMP	1	1	1

